

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

14-01

J1040 U.S. PRO
09/842315

04/26/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

2000年 4月28日

出願番号
Application Number:

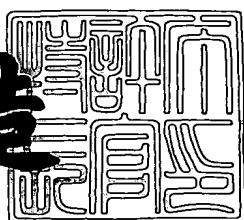
特願2000-131353

出願人
Applicant(s):

株式会社半導体エネルギー研究所

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3016980

【書類名】 特許願

【整理番号】 P004892

【提出日】 平成12年 4月28日

【あて先】 特許庁長官 近藤 隆彦 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

【氏名】 浅見 勇臣

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

【氏名】 一条 充弘

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

【氏名】 鳥海 聰志

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

【氏名】 大槻 高志

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 舜平

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の作製方法

【特許請求の範囲】

【請求項1】

半導体膜を形成する第1の工程と、

前記半導体膜表面の汚染不純物を除去する第2の工程と、

前記第2の工程の後に、前記半導体膜に接してゲート絶縁膜を形成する第3の工程とを有する半導体装置の作製方法であって、

前記第2の工程と第3の工程とは大気雰囲気に曝されることなく連続的に処理することを特徴とする半導体装置の作製方法。

【請求項2】

非晶質構造を有する半導体膜を形成する第1の工程と、

前記非晶質半導体膜を結晶化して結晶質半導体膜を形成する第2の工程と、

前記結晶質半導体膜をパターニングして島状に分離した結晶質半導体層を形成する第3の工程と、

前記結晶質半導体層表面の汚染不純物を除去する第4の工程と、

前記第4の工程の後に、前記結晶質半導体層に接してゲート絶縁膜を形成する第5工程とを有する半導体装置であって、

前記第4の工程と第5の工程とは大気雰囲気に曝されることなく連続的に処理することを特徴とする半導体装置の作製方法。

【請求項3】

下地膜を形成する第1の工程と、

前記下地膜表面の汚染不純物を除去する第2の工程と、

前記第2の工程の後に、前記下地膜に接して半導体膜を形成する第3の工程とを有する半導体装置であって、

前記第2の工程と第3の工程とは大気雰囲気に曝されることなく連続的に処理することを特徴とする半導体装置の作製方法。

【請求項4】

ゲート絶縁膜を形成する工程と、

- 前記ゲート絶縁膜表面の汚染不純物を除去する工程と、
- 汚染不純物が除去された前記ゲート絶縁膜に接してゲート導電膜を形成する工程とを有する半導体装置であって、
- 前記ゲート絶縁膜表面の汚染不純物を除去する工程と、
- 前記ゲート導電膜を形成する工程とは大気雰囲気に曝されることなく連続的に処理することを特徴とする半導体装置の作製方法。

【請求項5】

請求項1乃至請求項4において、前記汚染物を除去する工程は、フッ素を含有する酸性溶液で表面を処理することを特徴とする半導体装置の作製方法。

【請求項6】

請求項1乃至請求項4において、前記汚染物を除去する工程は、オゾンを容存させた純水で洗浄を行った後に、フッ素を含有する酸性溶液で表面を処理することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、基板上に形成され結晶質半導体膜を用いた薄膜トランジスタ (Thin Film Transistor : TFT、以下、TFTと記す) 等の半導体装置及びその作製方法に関するものである。本発明の半導体装置は、TFTやMOSトランジスタ等の素子だけでなく、これら絶縁ゲート型トランジスタで構成された半導体回路 (マイクロプロセッサ、信号処理回路または高周波回路等) を有する液晶表示装置、EL (Electro Luminescence) 表示装置、EC (Electro Chromic) 表示装置またはイメージセンサなどを含むものである。

【0002】

【従来の技術】

現在、半導体膜を用いた半導体素子として、薄膜トランジスタ (以下、TFTと記す) が各集積回路に用いられており、特に画像表示装置のスイッチング素子として用いられている。更に、非晶質半導体膜よりも移動度の高い結晶質半導体膜を活性層に用いたTFTは、駆動能力が高く、駆動回路の素子としても用いられ

れている。

【0003】

TFTの評価として最も重要視されるのは、信頼性である。この信頼性を下げる要因としては、TFT中の不純物（以下、TFTの信頼性を低下させる不純物を本明細書では汚染不純物という）が挙げられる。これら汚染不純物は、大気、ガラス基板、製造装置など、様々な汚染源からTFTに混入する。なかでも、TFTを構成する被膜界面に汚染不純物が存在することは、TFTの信頼性を損ねる大きな要因となっている。

【0004】

【発明が解決しようとする課題】

TFTを構成する各被膜を形成する工程は、そのほとんどが連続処理で行うことができない。例えば、結晶質半導体膜は、非晶質半導体膜を熱やレーザー光等により結晶化する方法を用いて得られるが、非晶質半導体膜上に絶縁膜が存在するとアニールによる非晶質半導体膜の結晶化が困難なため、半導体膜上に絶縁膜がない状態で結晶化が行われている。従って、第二の被膜形成前に第一の被膜表面を洗浄する工程が必要となってくる。しかし、洗浄機から成膜装置に投入するまでの間でも基板は大気雰囲気に曝されることになる。

【0005】

半導体装置は、通常クリーンルームで作製されている。クリーンルームでは、取り込む外気からゴミ、埃、汚染物質などを除去するためのフィルターが使われているのだが、フィルター自体から発生する汚染不純物、特にホウ素（B）やクリーンルーム内で作業を行う人間からの汚染不純物、特にナトリウム（Na）がクリーンルーム大気雰囲気中には多く存在する。つまり、基板をクリーンルームの雰囲気中に曝すだけでも、基板表面は汚染されてしまう。

【0006】

本発明は、TFTを構成する各被膜界面が汚染不純物に汚染されることなく清潔な状態を保つことを課題とする。

【0007】

【課題を解決するための手段】

上記課題を解決するために、本発明は、成膜装置にローダー／アンローダー室を介して、第一の被膜表面の汚染不純物を取り除くための洗浄室を設け、第一の被膜表面の汚染不純物除去から第二の被膜の形成までを連続で処理することを特徴とする。換言すると、第一の被膜表面の洗浄工程と第二の被膜の形成工程を一つの装置内で連続処理するため、前記工程間を大気雰囲気に曝すことなく処理することを特徴とする。

【0008】

上記構成において、第一の被膜表面の汚染不純物除去は、オゾンを容存させた純水で洗浄を行った後に、フッ素を含有する酸性溶液を用い、第一の被膜表面を極薄くエッティングすることにより行う。極薄くエッティングする手段としては、スピニ装置を用いて基板をスピニさせ、第一の被膜表面に接触させたフッ素を含有する酸性溶液を飛散させる方法が有効である。

【0009】

前記オゾンを容存させた純水を用いる理由としては次のことが挙げられる。

- (1) オゾンにより第一の被膜表面に極薄酸化膜を形成し、前記第一の被膜表面に吸着している汚染不純物を、次に続くフッ素を含有する酸性溶液を用いて、前記極薄酸化膜ごと除去できる。
- (2) 第一の被膜が疎水性である場合、その表面をオゾンにより酸化することで、第一の被膜表面が親水性に変わり洗浄効果が増す。
- (3) クリーンルーム大気雰囲気中に存在するような微量の炭素化物質であれば、オゾンで酸化分解して除去できる。

【0010】

フッ素を含有する酸性溶液としては、フッ酸、希フッ酸、フッ化アンモニウム、バッファードフッ酸（フッ酸とフッ化アンモニウムの混合溶液）、フッ酸と過酸化水素水の混合溶液等を用いることができる。

【0011】

従って、本発明の半導体装置は、洗浄室にスピニ式の洗浄機を設け、オゾンを容存させた純水とフッ素を含有する酸性溶液を洗浄液として用いることにより、TFTを構成する各被膜表面の汚染不純物を除去することを特徴とする。

【0012】

【発明の実施の形態】

本発明の実施の形態を、図1を用いて以下に説明する。また、成膜室が単数であるような成膜装置や複数の成膜室が直線上に並んでいるような成膜装置に関しても、本発明が適用されることは勿論である。

【0013】

図1において、ローダー／アンローダー室101にセットされる基板は、一枚ずつ搬送ロボット109により洗浄室110に運ばれ、洗浄処理される。洗浄処理の終了した基板は、搬送ロボット109により、洗浄室と成膜室の間に設けられているローダー／アンローダー室103に運ばれる。洗浄処理が終了した基板の回収が全て終わると、ローダー／アンローダー室103を真空に引く。次いで、搬送ロボット108により成膜室104～107のうちのいずれかに運ばれ、必要とする被膜を成膜する。成膜を終えた基板は、ローダー／アンローダー室102に回収される。

【0014】

成膜室104から107には、それぞれ排気手段104pから107pとガス導入手段104gから107gとが設けられており、半導体膜、絶縁膜、導電膜の成膜が行われる。

【0015】

ここで、洗浄室110は、N₂バージされており、大気雰囲気中にある汚染物質の混入を防いでいる。

【0016】

また、処理する基板はそれらの洗浄を全て終えてから、ローダー／アンローダー室103を真空に引くのは、洗浄室は大気圧であるのに対し、成膜室は減圧状態であるためである。

【0017】

本構成における被膜とは、プラズマCVD法、熱CVD法、減圧CVD法、蒸着法、スパッタリング法、熱酸化法、陽極酸化法等、あらゆる形成手段を用いて形成された膜を指す。

【0018】

また、本構成における汚染不純物とは、大気雰囲気中に存在する1元素又は複数元素からなるものをいう。特にB、Na、K、Mg、Caから選択された1元素又は複数元素からなるものをいう。

【0019】

以下に本発明の実施例を示すが、特にこれらに限定されるものではない。

【0020】

【実施例】

【実施例1】

本発明の実施例を図2～図6により説明する。ここでは、同一基板上に画素部と、画素部の周辺に設ける駆動回路のTFT（nチャネル型TFT及びpチャネル型TFT）を同時に作製する方法について詳細に説明する。

【0021】

基板200は、ガラス基板、石英基板、セラミック基板などを用いることができる。また、シリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものを用いても良い。また、本実施例の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

【0022】

次いで、図2（A）に示すように、基板200上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜201を形成する。本実施例では下地膜201として2層構造を用いるが、前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。下地膜201の一層目としては、プラズマCVD法を用い、SiH₄、NH₃、及びN₂Oを反応ガスとして成膜される酸化窒化シリコン膜201aを50～100nm形成する。次いで、下地膜201の二層目としては、プラズマCVD法を用い、SiH₄、及びN₂Oを反応ガスとして成膜される酸化窒化シリコン膜201bを100～150nmの厚さに積層形成する。

【0023】

次いで、下地膜上に半導体層202～206を形成する。半導体層202～2

06は、非晶質構造を有する半導体膜を公知の手段（スパッタ法、LPCVD法、またはプラズマCVD法等）により成膜した後、公知の結晶化処理（レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等）を行って得られる結晶質半導体膜を所望の形状にパターニングして形成する。この半導体層202～206の厚さは30～60nmの厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（SiGe）合金などで形成すると良い。

【0024】

また、下地膜と非晶質半導体膜とは同じ成膜方法で形成可能であるため、下地201と非晶質半導体膜を連続形成することが望ましい。例えば、図1の半導体装置において、加熱室104で基板を予め加熱し、第1の成膜チャンバー105にて下地膜201aを成膜、次いで第2のチャンバー106にて下地膜201bを成膜、最後に第3のチャンバー107にて非晶質半導体膜の成膜を行う。その結果、膜界面の不純物汚染を防ぐことができ、TFT特性の低下の要因を一つ減らすことができる。

【0025】

また、半導体層202～206を形成した後、TFTのしきい値を制御するために微量な不純物元素（ボロンまたはリン）のドーピングを行ってもよい。

【0026】

次いで、島状半導体膜202～206表面に存在する汚染不純物207の除去並びにゲート絶縁膜208形成の連続処理を行う。図1に示した装置のローダー／アンローダー室101に基板をセットし、一枚ずつ洗浄室110にてスピン洗浄処理する。ここで、オゾンを容存させた純水とフッ素を含有する酸性溶液を用いることで、オゾンを容存させた純水にて洗浄を行う際に形成される極薄い酸化被膜と共に、汚染不純物207を除去することができる。オゾンを容存させた純水の作製方法としては、純水を電気分解する方法や純水にオゾンガスを直接溶かし込む方法などがある。また、オゾンの濃度は、6mg/L以上で使用するのが好ましい。なお、スピン装置の回転数や時間条件は、基板面積、被膜材料などによって適宜最適な条件を見つければよい。洗浄処理の終了した基板は、洗浄室と

成膜室の間に設けられているローダー／アンローダー室103に回収される。全ての基板が回収されたらローダー／アンローダー室103は真空にひく。

【0027】

その後、成膜室104～107にて、ゲート絶縁膜208を形成する。ゲート絶縁膜208は、プラズマCVD法やスパッタ法で形成し、その厚さを40～150nmとしてシリコンを含む絶縁膜で形成する。成膜を終えるとローダー／アンローダー室102に回収される。ゲート絶縁膜は酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0028】

次いで、ゲート絶縁膜208表面に存在する汚染不純物除去並びにゲート導電膜形成の連続処理を行う。本実施例では、膜厚20～100nmの第1の導電膜(TaN)209と、膜厚100～400nmの第2の導電膜(W)210とを積層形成する。ゲート導電膜は、Ta、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。また、第1の導電膜をタンタル(Ta)膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化タンタル(TaN)膜で形成し、第2の導電膜をAl膜とする組み合わせ、第1の導電膜を窒化タンタル(TaN)膜で形成し、第2の導電膜をCu膜とする組み合わせとしてもよい。

【0029】

ここで、ゲート絶縁膜208とゲート導電膜209、210の連続形成を行うことができるのならば、前記洗浄工程を省くことができる。

【0030】

次に、フォトリソグラフィ法を用いてレジストからなるマスク211～216を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP(Inductively Coupled Plasma: 誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF₄とCl₂とO₂とを用い、それぞれのガス流

量比を25/25/10 (sccm) とし、1Paの圧力でコイル型の電極に500WのRF (13.56MHz) 電力を投入してプラズマを生成してエッティングを行う。基板側（試料ステージ）にも150WのRF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッティング条件によりW膜をエッティングして第1の導電層の端部をテーパー形状とする。

【0031】

この後、レジストからなるマスク211～216を除去せずに第2のエッティング条件に変え、エッティング用ガスにCF₄とCl₂とを用い、それぞれのガス流量比を30/30 (sccm) とし、1Paの圧力でコイル型の電極に500WのRF (13.56MHz) 電力を投入してプラズマを生成して約30秒程度のエッティングを行う。基板側（試料ステージ）にも20WのRF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した第2のエッティング条件ではW膜及びTaN膜とも同程度にエッティングされる。なお、ゲート絶縁膜上に残渣を残すことなくエッティングするためには、10～20%程度の割合でエッティング時間を増加させると良い。

【0032】

上記第1のエッティング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパー形状となる。このテーパー部の角度は15～45°となる。こうして、第1のエッティング処理により第1の導電層と第2の導電層から成る第1の形状の導電層218～223（第1の導電層218a～223aと第2の導電層218b～223b）を形成する。217はゲート絶縁膜であり、第1の形状の導電層218～223で覆われない領域は20～50nm程度エッティングされ薄くなった領域が形成される。

【0033】

そして、レジストからなるマスクを除去せずに第1のドーピング処理を行い、半導体層にn型を付与する不純物元素を添加する（図2（C））。ドーピング処理はイオンドープ法、もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{15}$ atoms/cm²とし、加速電圧を6

0~100 keVとして行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いる。この場合、導電層218~222がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域224~228が形成される。第1の不純物領域224~228には $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³の濃度範囲でn型を付与する不純物元素を添加する。

【0034】

次に、レジストからなるマスクを除去せずに図3(A)に示すように第2のエッティング処理を行う。第2のエッティング処理では第3及び第4のエッティング条件で行う。第3のエッティング条件として、同様にICPエッティング法を用い、エッティングガスにCF₄とCl₂とを用い、それぞれのガス流量比を30/30(ccm)とし、1Paの圧力でコイル型の電極に500WのRF電力(13.56MHz)を供給し、プラズマを生成して約60秒程度のエッティングを行う。基板側(試料ステージ)には20WのRF(13.56MHz)電力を投入し、第1のエッティング処理に比べて低い自己バイアス電圧を印加する。CF₄とCl₂を混合した第3のエッティング条件ではW膜及びTaN膜とも同程度にエッティングされる。

【0035】

この後、レジストからなるマスクを除去せずに第4のエッティング条件に変え、エッティング用ガスにCF₄とCl₂とO₂とを用い、それぞれのガス流量比を25/25/10(ccm)とし、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して約20秒程度のエッティングを行う。基板側(試料ステージ)には20WのRF(13.56MHz)電力を投入し、第1のエッティング処理に比べ低い自己バイアス電圧を印加する。この第4のエッティング条件によりW膜をエッティングする。

【0036】

こうして、上記第3及び第4のエッティング条件によりW膜を異方性エッティングし、かつ、W膜より遅いエッティング速度でTaN膜を異方性エッティングして第2の形状の導電層230~235(第1の導電層230a~235aと第2の導電

層230b～235b)を形成する。229はゲート絶縁膜であり、第2の形状の導電層230～235で覆われない領域は、エッチングされて、約10～20nm程度の膜厚にまで薄くなる。

【0037】

W膜やTaN膜に対するCF₄とCl₂の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することができる。WとTaNのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物であるWF₆が極端に高く、その他のWC_{1.5}、TaF₅、TaCl₅は同程度である。従って、CF₄とCl₂の混合ガスではW膜及びTaN膜共にエッチングされる。しかし、この混合ガスに適量のO₂を添加するとCF₄とO₂が反応してCOとFになり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaNはFが増大しても相対的にエッチング速度の増加は少ない。また、TaNはWに比較して酸化されやすいので、O₂を添加することでTaNの表面が多少酸化される。TaNの酸化物はフッ素や塩素と反応しないため、さらにTaN膜のエッチング速度は低下する。従って、W膜とTaN膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTaN膜よりも大きくすることが可能となる。

【0038】

次いで、レジストからなるマスクを除去せずに図3(B)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げて高い加速電圧の条件としてn型を付与する不純物元素をドーピングする。例えば、加速電圧を70～120keV、本実施例では90keVの加速電圧とし、3.5×10¹²atoms/cm²のドーズ量で行い、図2(C)で形成された第1の不純物領域より内側の半導体層に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層230～234を不純物元素に対するマスクとして用い、第2の導電層230a～234aのテーパー部下方における半導体層にも不純物元素が添加されるようにドーピングする。

【0039】

こうして、第2の導電層230a～234aと重なる第3の不純物領域241

～245と、第1の不純物領域246～250と第3の不純物領域との間の第2の不純物領域236～240とを形成する。n型を付与する不純物元素は、第2の不純物領域で $1 \times 10^{17} \sim 1 \times 10^{19}$ atoms/cm³の濃度となるようにし、第3の不純物領域で $1 \times 10^{16} \sim 1 \times 10^{18}$ atoms/cm³の濃度となるようにする。なお、この第3の不純物領域140～144において、少なくとも第2の形状の導電層230a～234aと重なった部分に含まれるn型を付与する不純物元素の濃度変化を有している。即ち、第3の不純物領域241～245へ添加されるリン(P)の濃度は、第2の形状の導電層と重なる領域において、該導電層の端部から内側に向かって徐々に濃度が低くなる。これはテーパー部の膜厚の差によって、半導体層に達するリン(P)の濃度が変化するためである

【0040】

そして、レジストからなるマスクを除去した後、新たにレジストからなるマスク251～253を形成して図3(C)に示すように、第3のドーピング処理を行う。この第3のドーピング処理により、pチャネル型TFTの活性層となる半導体層に前記一導電型とは逆の導電型を付与する不純物元素が添加された第4の不純物領域254～259を形成する。第2の形状の導電層231、234を不純物元素に対するマスクとして用い、p型を付与する不純物元素を添加して自己整合的に第4の不純物領域を形成する。本実施例では、不純物領域254～259はジボラン(B_2H_6)を用いたイオンドープ法で形成する。この第3のドーピング処理の際には、nチャネル型TFTを形成する半導体層はレジストからなるマスク251～253で覆われている。第1のドーピング処理及び第2のドーピング処理によって、不純物領域254～259にはそれぞれ異なる濃度でリンが添加されているが、そのいずれの領域においてもp型を付与する不純物元素の濃度を $2 \times 10^{20} \sim 2 \times 10^{21}$ atoms/cm³となるようにドーピング処理することにより、pチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。

【0041】

以上までの工程でそれぞれの半導体層に不純物領域が形成される。半導体層と

重なる第2の形状の導電層230～234がゲート電極として機能する。また、235はソース配線、234は保持容量を形成するための第2の電極として機能する。

【0042】

次いで、レジストからなるマスク251～253を除去し、全面を覆う第1の層間絶縁膜260を形成する。この第1の層間絶縁膜260としては、プラズマCVD法またはスパッタ法を用い、厚さを100～200nmとしてシリコンを含む絶縁膜で形成する。本実施例では、プラズマCVD法により膜厚150nmの酸化窒化シリコン膜を形成した。勿論、第1の層間絶縁膜260は酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0043】

次いで、図4(A)に示すように、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程はファーネスアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700°C、代表的には500～550°Cで行えばよい。なお、熱アニール法の他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。

【0044】

また、第1の層間絶縁膜260を形成する前に活性化処理を行っても良い。ただし、230～235に用いた配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜(シリコンを主成分とする絶縁膜、例えば窒化珪素膜)を形成した後で活性化処理を行うことが好ましい。

【0045】

さらに、3～100%の水素を含む雰囲気中で、300～550°Cで1～12時間の熱処理を行い、半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0046】

また、活性化処理としてレーザーハニール法を用いる場合には、上記水素化を行った後、エキシマレーザーやYAGレーザー等のレーザー光を照射することが望ましい。

【0047】

次いで、第1の層間絶縁膜260上有機絶縁物材料から成る第2の層間絶縁膜261を形成する。次いで、ソース配線235に達するコンタクトホールと各不純物領域246、248、249、254、257に達するコンタクトホールを形成するためのパターニングを行う。

【0048】

そして、駆動回路406において、第1の不純物領域または第4の不純物領域とそれぞれ電気的に接続する配線262～267を形成する。なお、これらの配線は、膜厚50nmのTi膜と、膜厚500nmの合金膜（AlとTiとの合金膜）との積層膜をパターニングして形成する。

【0049】

また、画素部407においては、画素電極270、ゲート導電膜269、接続電極268を形成する。（図4（B））この接続電極268によりソース配線235は、画素TFT404と電気的な接続が形成される。また、ゲート導電膜269は、第1の電極（第2の形状の導電層234）と電気的な接続が形成される。また、画素電極270は、画素TFTのドレイン領域と電気的な接続が形成され、さらに保持容量を形成する一方の電極として機能する半導体層と電気的な接続が形成される。また、画素電極270としては、AlまたはAgを主成分とする膜、またはそれらの積層膜等、反射性の優れた材料を用いることが望ましい。

【0050】

以上の様にして、nチャネル型TFT401、pチャネル型TFT402、nチャネル型TFT403を有する駆動回路406と、画素TFT404、保持容量405とを有する画素部407を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

【0051】

駆動回路406のnチャネル型TFT401はチャネル形成領域271、ゲート電極を形成する第2の形状の導電層230と重なる第3の不純物領域241(GOLD領域)、ゲート電極の外側に形成される第2の不純物領域236(LDD領域)とソース領域またはドレイン領域として機能する第1の不純物領域246を有している。pチャネル型TFT402にはチャネル形成領域272、ゲート電極を形成する第2の形状の導電層231と重なる第4の不純物領域256、ゲート電極の外側に形成される第4の不純物領域255、ソース領域またはドレイン領域として機能する第4の不純物領域254を有している。nチャネル型TFT403にはチャネル形成領域273、ゲート電極を形成する第2の形状の導電層232と重なる第3の不純物領域243(GOLD領域)、ゲート電極の外側に形成される第2の不純物領域238(LDD領域)とソース領域またはドレイン領域として機能する第1の不純物領域248を有している。

【0052】

画素部の画素TFT404にはチャネル形成領域274、ゲート電極を形成する第2の形状の導電層233と重なる第3の不純物領域244(GOLD領域)、ゲート電極の外側に形成される第2の不純物領域239(LDD領域)とソース領域またはドレイン領域として機能する第1の不純物領域249を有している。また、保持容量405の一方の電極として機能する半導体層257～260には第4の不純物領域と同じ濃度で、それぞれp型を付与する不純物元素が添加されている。保持容量405は、絶縁膜(ゲート絶縁膜と同一膜)を誘電体として、第2の電極234と、半導体層257～260とで形成している。

【0053】

本実施例で作製するアクティブマトリクス基板の画素部の上面図を図5に示す。なお、図2～図6に対応する部分には同じ符号を用いている。図5中の鎖線A-A'は図4中の鎖線A-A'で切断した断面図に対応している。また、図5中の鎖線B-B'は図4中の鎖線B-B'で切断した断面図に対応している。

【0054】

このように、本実施例の画素構造を有するアクティブマトリクス基板は、一部がゲート電極の機能を果たす第1の電極233とゲート導電膜269とを異なる

層に形成し、ゲート導電膜269で半導体層を遮光することを特徴としている。

【0055】

また、本実施例の画素構造は、ブラックマトリクスを用いることなく、画素電極間の隙間が遮光されるように、画素電極の端部をソース配線と重なるように配置形成する。

【0056】

また、本実施例の画素電極の表面を公知の方法、例えばサンドblast法やエッチング法等により凹凸化させて、鏡面反射を防ぎ、反射光を散乱させることによって白色度を増加させることができることを望ましい。

【0057】

上述の画素構造とすることにより大きな面積を有する画素電極を配置でき、開口率を向上させることができる。

【0058】

また、本実施例で示す工程に従えば、アクティブマトリクス基板の作製に必要なフォトマスクの数を5枚（半導体層パターンマスク、第1配線パターンマスク（第1の電極233、第2の電極234、ソース配線235を含む）、p型TFTのソース領域及びドレイン領域形成のパターンマスク、コンタクトホール形成のパターンマスク、第2配線パターンマスク（画素電極270、接続電極268、ゲート導電膜269を含む））とすることができます。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

【0059】

【実施例2】

本実施例1において、下地膜201形成と非晶質半導体膜形成との連続処理を行わない場合にも、本発明を用いることができる。

【0060】

本実施例1と同様に、下地膜201を形成する。次いで、下地膜201表面に存在する汚染不純物の除去並びに非晶質半導体膜形成の連続処理を行う。下地膜表面の汚染不純物の除去方法並びに非晶質膜形成以降の工程は、本実施例1と同様に行えばよい。

【0061】

[実施例3]

本実施例では、実施例1及び2で作製したアクティブマトリクス基板で、EL表示装置を作製する例について説明する。図7 (A) はそのEL表示パネルの上面図を示す。図7 (A) において、10は基板、11は画素部、12はソース側駆動回路、13はゲート側駆動回路であり、それぞれの駆動回路は配線14～16を経てFPC17に至り、外部機器へと接続される。

【0062】

図7 (A) のA-A'線に対応する断面図を図7 (B) に示す。このとき少なくとも画素部の上方、好ましくは駆動回路及び画素部の上方に対向板80を設ける。対向板80はシール材19でTFTとEL材料を用いた自発光層が形成されているアクティブマトリクス基板と貼り合わされている。シール剤19にはフィラー(図示せず)が混入されていて、このフィラーによりほぼ均一な間隔を持つて2枚の基板が貼り合わせられている。さらに、シール材19の外側とFPC17の上面及び周辺は封止剤81で密封する構造とする。封止剤81はシリコーン樹脂、エポキシ樹脂、フェノール樹脂、ブチルゴムなどの材料を用いる。

【0063】

このように、シール剤19によりアクティブマトリクス基板10と対向基板80とが貼り合わされると、その間には空間が形成される。その空間には充填剤83が充填される。この充填剤83は対向板80を接着する効果も合わせ持つ。充填剤83はPVC(ポリビニルクロライド)、エポキシ樹脂、シリコーン樹脂、またはEVA(エチレンビニルアセテート)などを用いることができる。また、自発光層は水分をはじめ湿気に弱く劣化しやすいので、この充填剤83の内部に酸化バリウムなどの乾燥剤を混入させておくと吸湿効果を保持できるので望ましい。また、自発光層上に窒化シリコン膜や酸化窒化シリコン膜などで形成するパッシベーション膜82を形成し、充填剤83に含まれるアルカリ元素などによる腐蝕を防ぐ構造としている。

【0064】

また、図7 (B) において基板10、下地膜21の上に駆動回路用TFT(但

し、ここではnチャネル型TFTとpチャネル型TFTを組み合わせたCMOS回路を図示している。) 22及び画素部用TFT23(但し、ここではEL素子への電流を制御するTFTだけ図示している。)が形成されている。

【0065】

実施例1及び2で作製したアクティブマトリクス基板からEL表示装置を作製するには、ソース配線、ドレイン配線上に樹脂材料からなる層間絶縁膜(平坦化膜)26を形成し、その上に画素部用TFT23のドレインと電気的に接続する透明導電膜でなる画素電極27を形成する。透明導電膜には酸化インジウムと酸化スズとの化合物(ITOと呼ばれる)または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極27を形成したら、絶縁膜28を形成し、画素電極27上に開口部を形成する。

【0066】

次に、自発光層29を形成する。自発光層29は公知のEL材料(正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層)を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、EL材料には低分子系材料と高分子系(ポリマー系)材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンドルコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0067】

自発光層はシャドーマスクを用いて蒸着法、またはインクジェット法、ディスペンサー法などで形成する。いずれにしても、画素毎に波長の異なる発光が可能な発光層(赤色発光層、緑色発光層及び青色発光層)を形成することで、カラー表示が可能となる。その他にも、色変換層(CCM)とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光のEL表示装置とすることもできる。

【0068】

自発光層29を形成したら、その上に陰極30を形成する。陰極30と自発光層29の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って

、真空中で自発光層29と陰極30を連続して形成するか、自発光層29を不活性雰囲気で形成し、大気開放しないで真空中で陰極30を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【0069】

そして陰極30は31で示される領域において配線16に接続される。配線16は陰極30に所定の電圧を与えるための電源供給線であり、異方性導電性ペースト材料32を介してFPC17に接続される。FPC17上にはさらに樹脂層80が形成され、この部分の接着強度を高めている。

【0070】

31に示された領域において陰極30と配線16とを電気的に接続するために、層間絶縁膜26及び絶縁膜28にコンタクトホールを形成する必要がある。これらは層間絶縁膜26のエッティング時（画素電極用コンタクトホールの形成時）や絶縁膜28のエッティング時（自発光層形成前の開口部の形成時）に形成しておけば良い。また、絶縁膜28をエッティングする際に、層間絶縁膜26まで一括でエッティングしても良い。この場合、層間絶縁膜26と絶縁膜28が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができます。

【0071】

また、配線16はシール材19と基板10との間を隙間（但し封止剤81で塞がれている。）を通ってFPC17に電気的に接続される。なお、ここでは配線16について説明したが、他の配線14、15も同様にしてシーリング材18の下を通ってFPC17に電気的に接続される。

【0072】

ここで画素部のさらに詳細な断面構造を図8に、上面構造を図9に示す。図8(A)において、基板2401上に設けられたスイッチング用TFT2402は実施の形態1の図4(B)の画素TFT404と同じ構造で形成する。本実施例ではダブルゲート構造としているがトリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも良い。

【0073】

また、電流制御用TFT2403は、ドレイン側にのみゲート電極とオーバーラップするLDDが設けられた構造であり、ゲートとドレイン間の寄生容量や直列抵抗を低減させて電流駆動能力を高める構造となっている。また、電流制御用TFTはEL素子を流れる電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、電流制御用TFTにゲート電極と一部が重なるLDD領域を設けることでTFTの劣化を防ぎ、動作の安定性を高めることができる。このとき、スイッチング用TFT2402のドレイン線35は配線36によって電流制御用TFTのゲート電極37に電気的に接続されている。また、38で示される配線は、スイッチング用TFT2402のゲート電極39a、39bを電気的に接続するゲート線である。

【0074】

本実施例では電流制御用TFT2403をシングルゲート構造で図示しているが、複数のTFTを直列につなげたマルチゲート構造としても良い。さらに、複数のTFTを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0075】

また、図9に示すように、電流制御用TFT2403のゲート電極37となる配線は2404で示される領域で、電流制御用TFT2403のドレイン線40と絶縁膜を介して重なる。このとき、2404で示される領域ではコンデンサが形成される。このコンデンサ2404は電流制御用TFT2403のゲートにかかる電圧を保持するためのコンデンサとして機能する。なお、ドレイン線40は電流供給線（電源線）2501に接続され、常に一定の電圧が加えられている。

【0076】

スイッチング用TFT2402及び電流制御用TFT2403の上には第1パッシベーション膜41が設けられ、その上に樹脂絶縁膜でなる平坦化膜42が形成される。平坦化膜42を用いてTFTによる段差を平坦化することは非常に重要である。後に形成される自発光層は非常に薄いため、段差が存在することによ

って発光不良を起こす場合がある。

【0077】

4 3 は反射性の高い導電膜でなる画素電極（E L素子の陰極）であり、電流制御用T F T 2 4 0 3 のドレインに電気的に接続される。画素電極4 3 としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。また、絶縁膜（好ましくは樹脂）で形成されたバンク4 4 a、4 4 bにより形成された溝（画素に相当する）の中に発光層4 4 が形成される。なお、ここでは一画素しか図示していないが、R（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けても良い。発光層とする有機E L材料としては、ポリパラフェニレンビニレン（P P V）系、ポリビニルカルバゾール（P V K）系、ポリフルオレン系などのπ共役ポリマー系材料を用いる。

【0078】

本実施例では発光層4 5 の上にP E D O T（ポリチオフェン）またはP A n i（ポリアニリン）でなる正孔注入層4 6 を設けた積層構造の自発光層としている。そして、正孔注入層4 6 の上には透明導電膜でなる陽極4 7 が設けられる。本実施例の場合、発光層4 5 で生成された光は上面側に向かって（T F T の上方に向かって）放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

【0079】

図8（B）は自発光層の構造を反転させた例を示す。電流制御用T F T 2 6 0 1 は図4のpチャネル型T F T 4 0 2 と同じ構造で形成する。作製プロセスは実施の形態1を参照すれば良い。本実施例では、画素電極（陽極）5 0 として透明導電膜を用いる。

【0080】

そして、絶縁膜でなるバンク5 1 a、5 1 bが形成された後、溶液塗布によりポリビニルカルバゾールでなる発光層5 2 が形成される。その上にはカリウムアセ

チルアセトネット（acacKと表記される）でなる電子注入層53、アルミニウム合金でなる陰極54が形成される。この場合、陰極54がパッシベーション膜としても機能する。こうしてEL素子2602が形成される。本実施例の場合、発光層53で発生した光は、矢印で示されるようにTFTが形成された基板の方に向かって放射される。本実施例のような構造とする場合、電流制御用TFT2601はPチャネル型TFTで形成することが好ましい。

【0081】

【実施例4】

本発明を実施して形成されたTFTは様々な電気光学装置（代表的にはアクティブラトリクス型液晶ディスプレイ等）に用いることができる。即ち、それら電気光学装置や半導体回路を部品として組み込んだ電子機器全てに本発明を実施できる。

【0082】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パソコン、携帯情報端末機器（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図10、図11及び図12に示す。

【0083】

図10（A）はパソコンであり、本体1001、画像入力部1002、表示部1003、キーボード1004等を含む。本発明を画像入力部1002、表示部1003やその他の信号制御回路に適用することができる。

【0084】

図10（B）はビデオカメラであり、本体1005、表示部1006、音声入力部1007、操作スイッチ1008、バッテリー1009、受像部1010等を含む。本発明を表示部1006やその他の信号制御回路に適用することができる。

【0085】

図10（C）はモバイルコンピュータ（モービルコンピュータ）であり、本体

1011、カメラ部1012、受像部1013、操作スイッチ1014、表示部1015等を含む。本発明は表示部1015やその他の信号制御回路に適用できる。

【0086】

図10(D)はゴーグル型ディスプレイであり、本体1016、表示部1017、アーム部1018等を含む。本発明は表示部1017やその他の信号制御回路に適用することができる。

【0087】

図10(E)はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体1019、表示部1020、スピーカ部1021、記録媒体1022、操作スイッチ1023等を含む。なお、このプレーヤーは記録媒体としてDVD (Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部1020やその他の信号制御回路に適用することができる。

【0088】

図10(F)はデジタルカメラであり、本体1024、表示部1025、接眼部1026、操作スイッチ1027、受像部（図示しない）等を含む。本発明を表示部1025やその他の信号制御回路に適用することができる。

【0089】

図11(A)はフロント型プロジェクターであり、投射装置1101、スクリーン1102等を含む。本発明は投射装置1101の一部を構成する液晶表示装置1114やその他の信号制御回路に適用することができる。

【0090】

図11(B)はリア型プロジェクターであり、本体1103、投射装置1104、ミラー1105、スクリーン1106等を含む。本発明は投射装置1104の一部を構成する液晶表示装置1114やその他の信号制御回路に適用することができる。

【0091】

なお、図11(C)は、図11(A)及び図11(B)中における投射装置1

101、1104の構造の一例を示した図である。投射装置1101、1104は、光源光学系1107、ミラー1108、1110～1112、ダイクロイックミラー1109、プリズム1113、液晶表示装置1114、位相差板1115、投射光学系1116で構成される。投射光学系1116は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図11(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0092】

また、図11(D)は、図11(C)中における光源光学系1107の構造の一例を示した図である。本実施例では、光源光学系1107は、リフレクター1118、光源1119、レンズアレイ1120、1121、偏光変換素子1122、集光レンズ1123で構成される。なお、図11(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

【0093】

ただし、図11に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置の適用例は図示していない。

【0094】

図12(A)は携帯電話であり、本体1201、音声出力部1202、音声入力部1203、表示部1204、操作スイッチ1205、アンテナ1206等を含む。本発明を音声出力部1202、音声入力部1203、表示部1204やその他の信号制御回路に適用することができる。

【0095】

図12(B)は携帯書籍(電子書籍)であり、本体1207、表示部1208、記憶媒体1209、操作スイッチ1210、アンテナ1211等を含む。本発明は表示部1208、記憶媒体1209やその他の信号回路に適用することができる。

【0096】

図12 (C) はディスプレイであり、本体1212、支持台1213、表示部1214等を含む。本発明は表示部1214に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角10インチ以上(特に30インチ以上)のディスプレイには有利である。

【0097】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。

【0098】

【発明の効果】

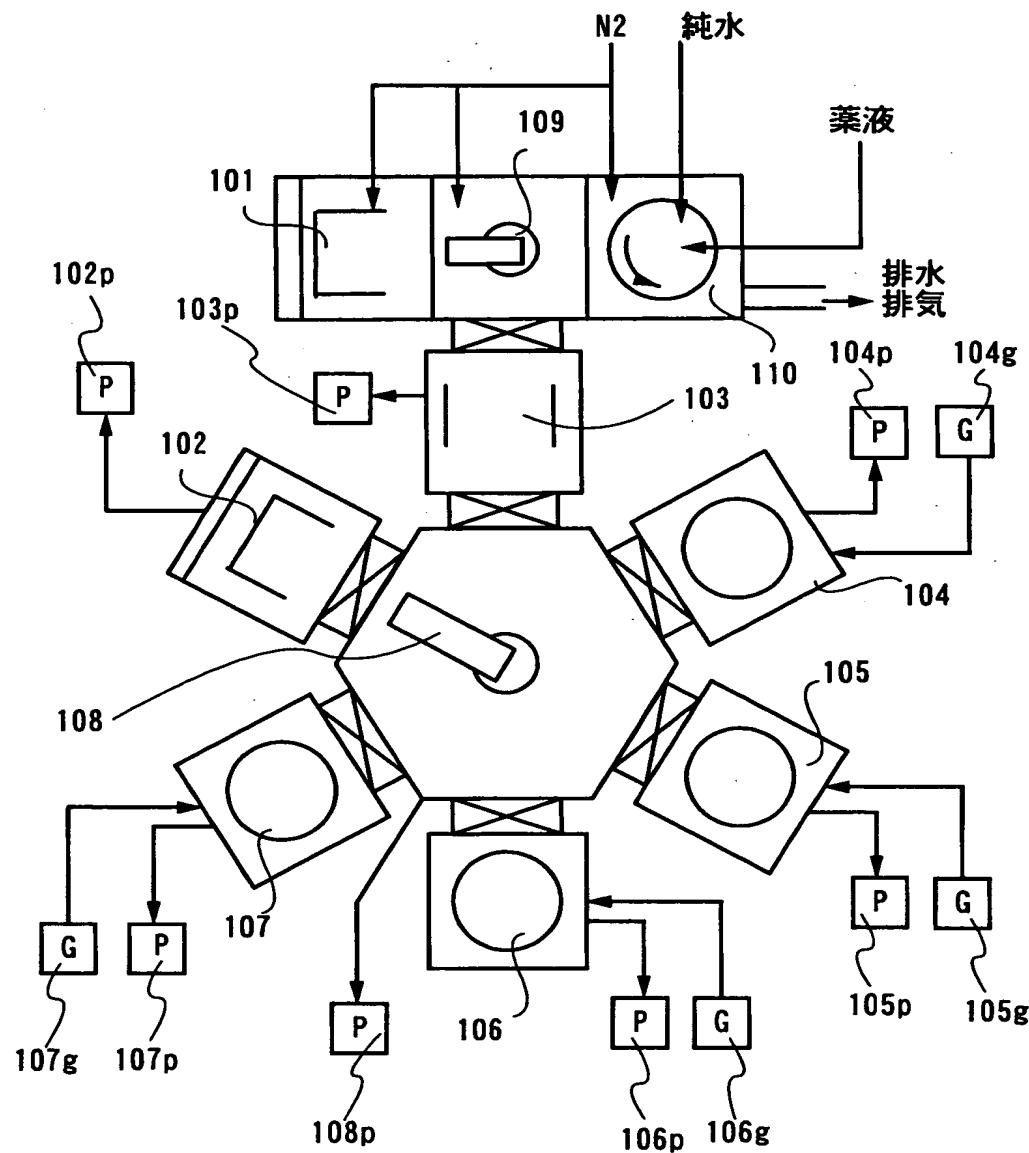
本発明により、TFTを構成する被膜界面の大気による汚染を防ぐことができるので、TFT特性のばらつきを小さくし、TFTの信頼性を向上させることができる。また、電流駆動のために、TFT特性のばらつきの影響が大きいEL表示装置の表示ムラを低減することができる。

【図面の簡単な説明】

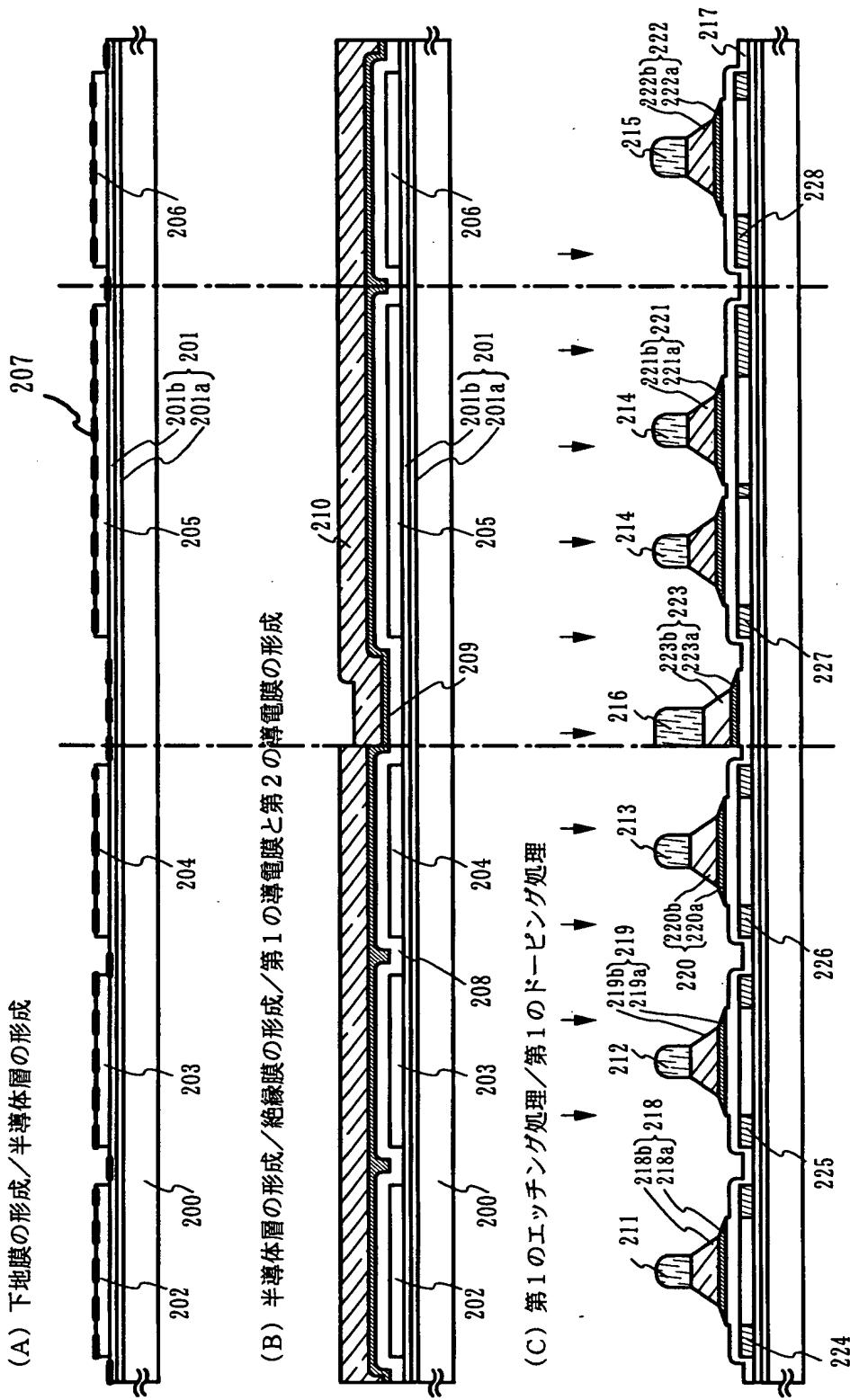
- 【図1】 洗浄機を伴う成膜装置図。
- 【図2】 本実施例1のTFTの断面図。
- 【図3】 本実施例1のTFTの断面図。
- 【図4】 本実施例1のTFTの断面図。
- 【図5】 本実施例1で作製するアクティブマトリクス基板の画素部の上面図。
- 【図6】 本実施例1のTFTの断面図。
- 【図7】 本実施例3のEL表示パネルの上面図及び断面図。
- 【図8】 本実施例3のEL表示パネルの断面図。
- 【図9】 本実施例3のEL表示パネルの上面図。
- 【図10】 本実施例4のいろいろな半導体装置を示す図。
- 【図11】 本実施例4のいろいろな半導体装置を示す図。
- 【図12】 本実施例4のいろいろな半導体装置を示す図。

【書類名】 **図面**

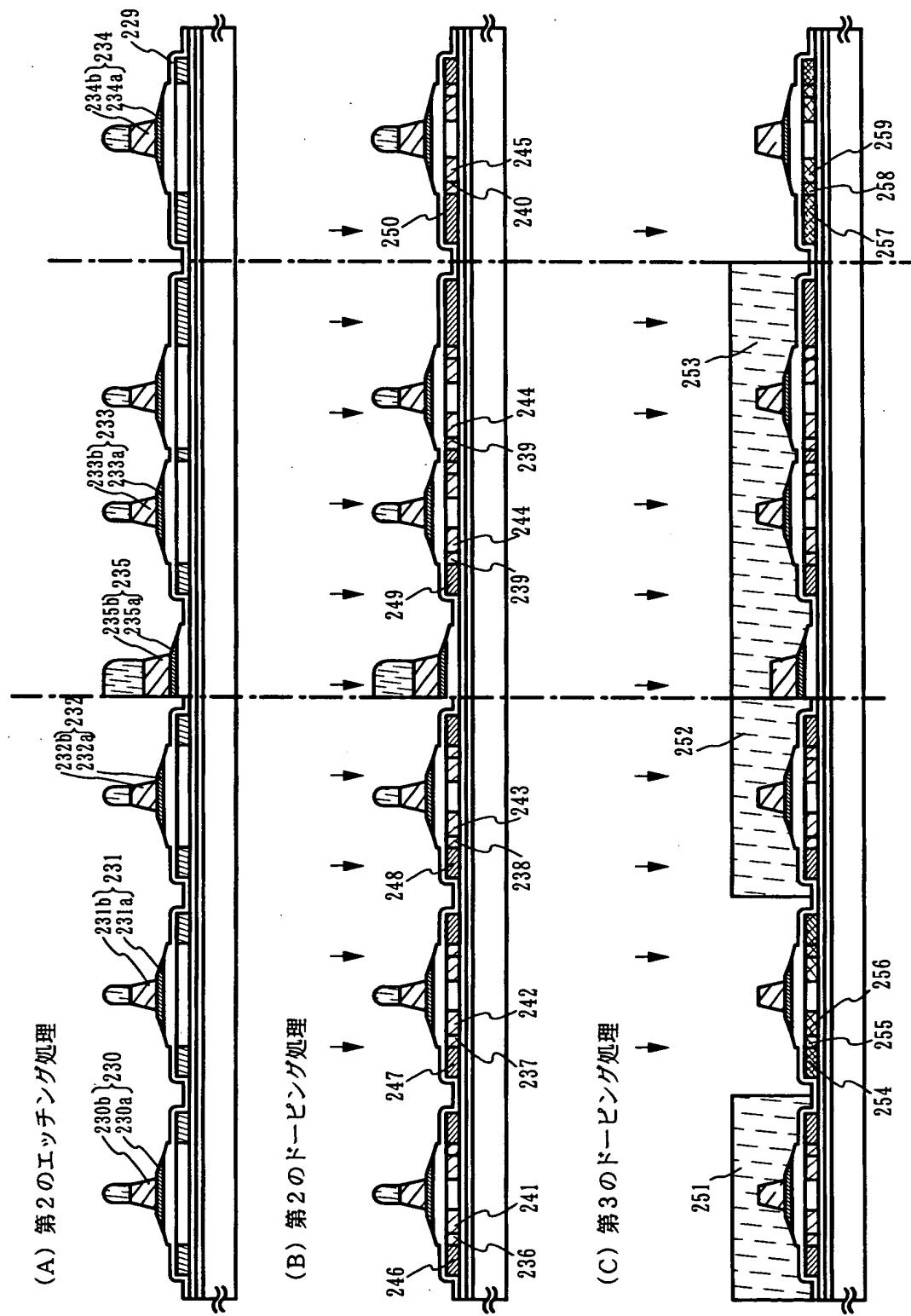
【図1】



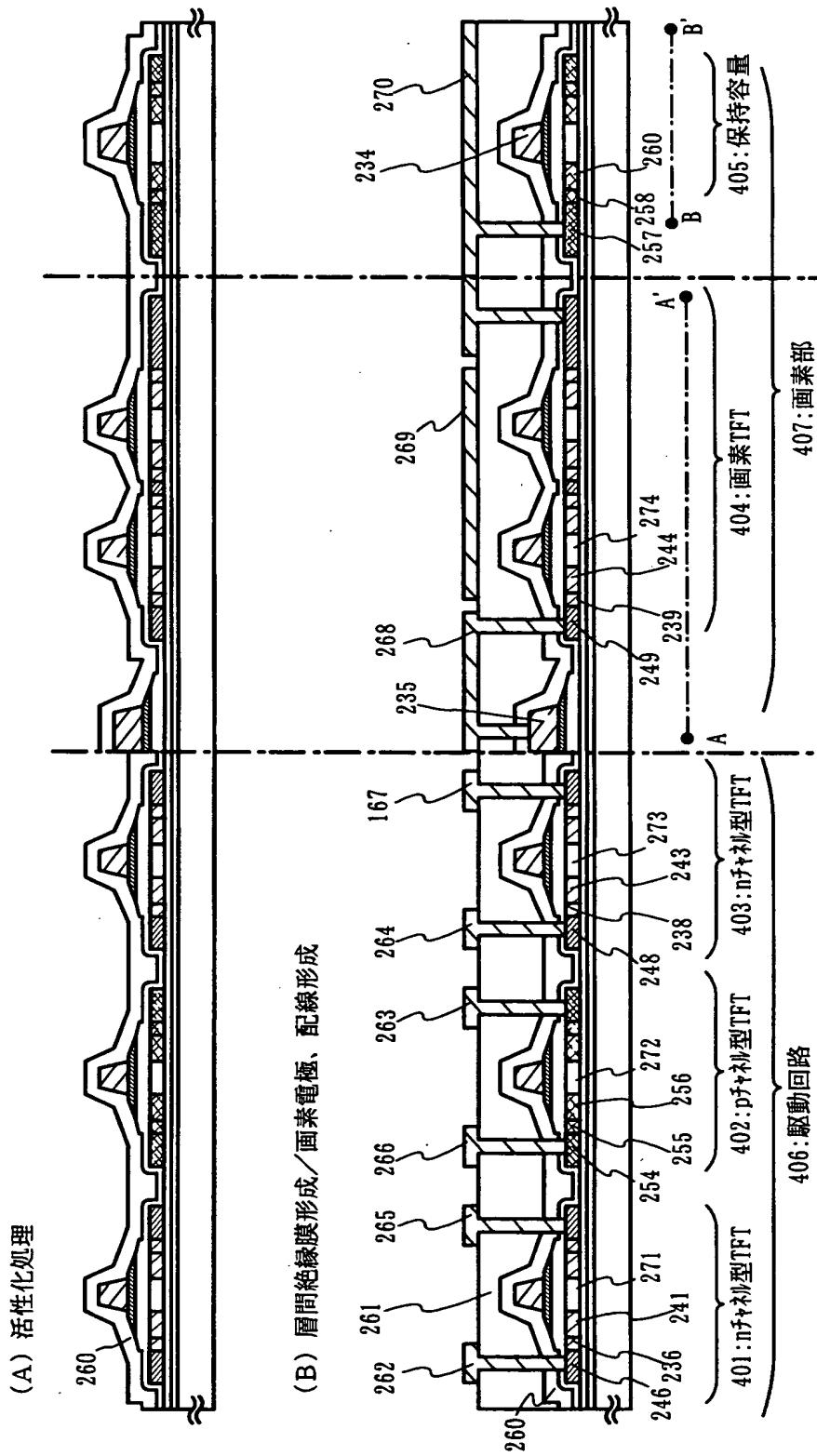
【図2】



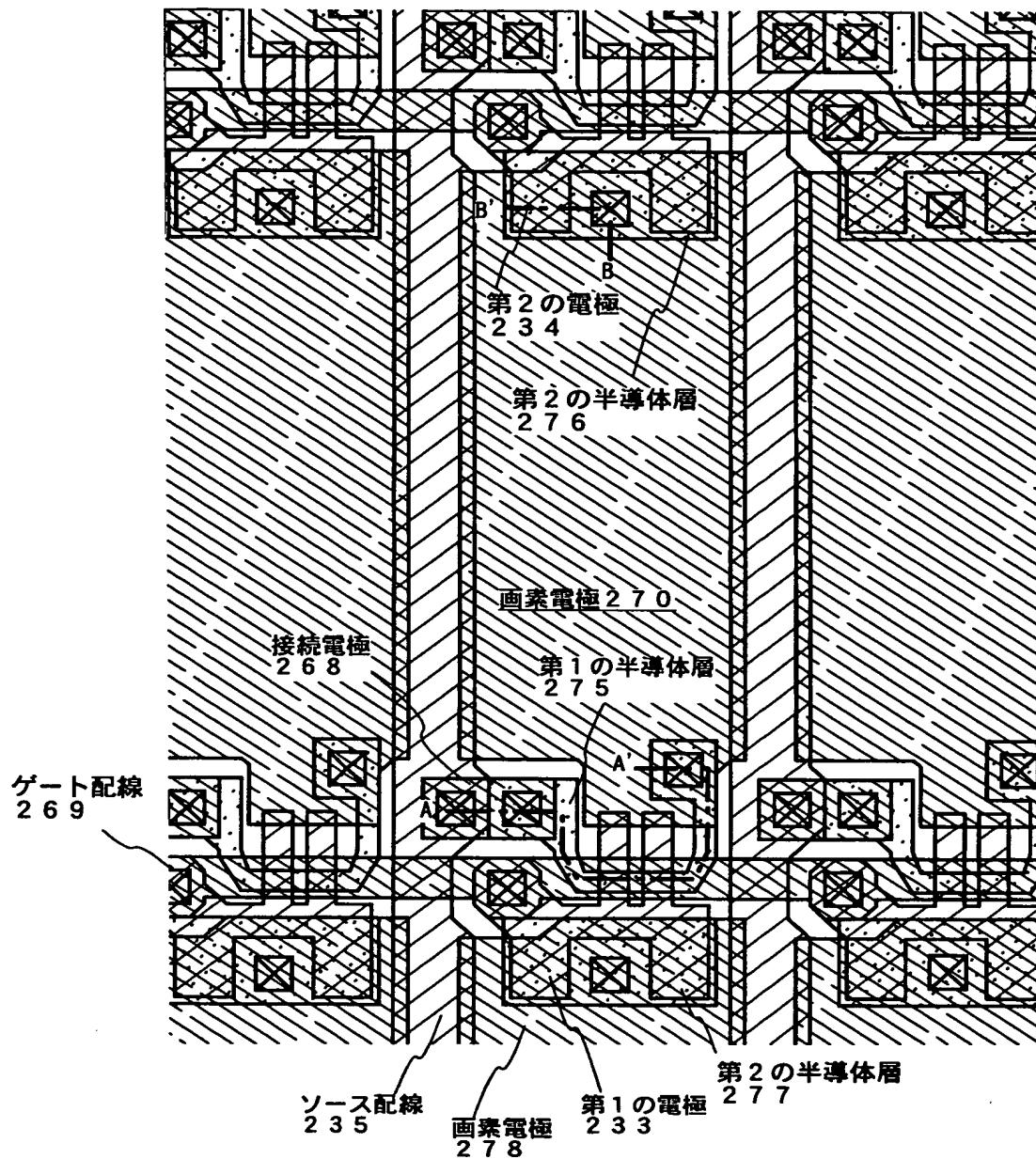
[図3]



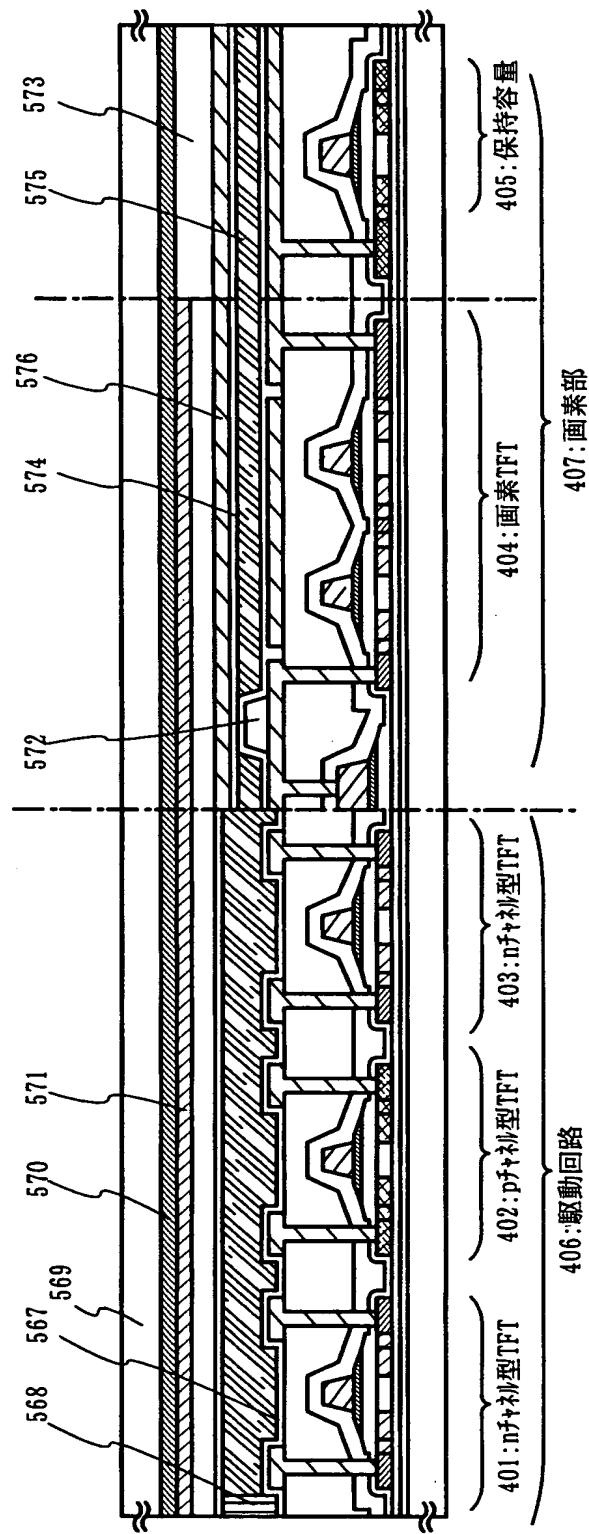
【図4】



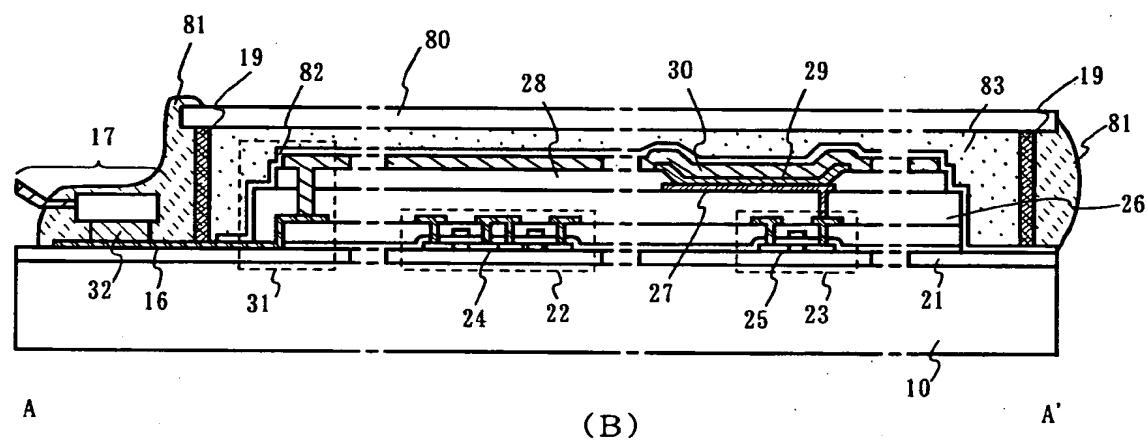
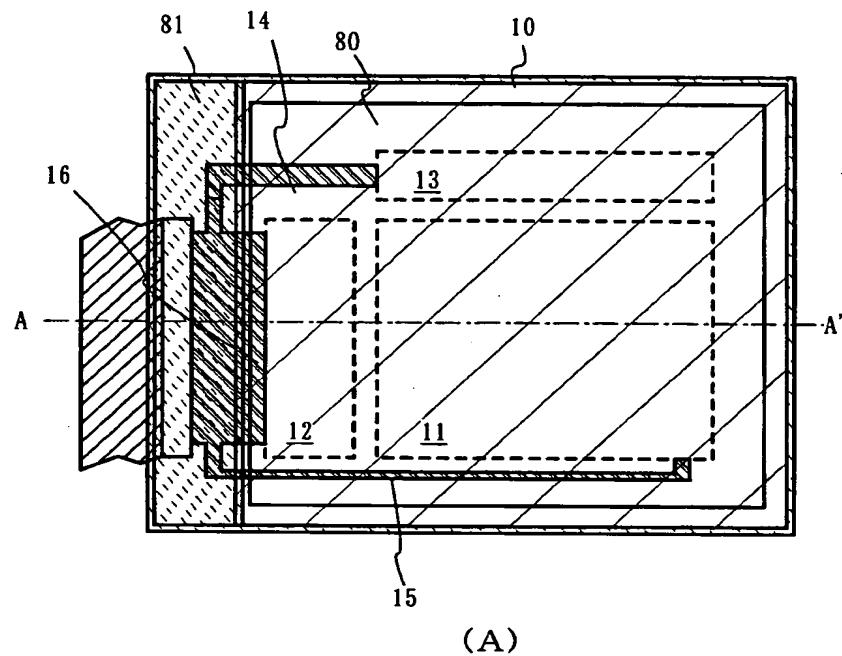
【図5】



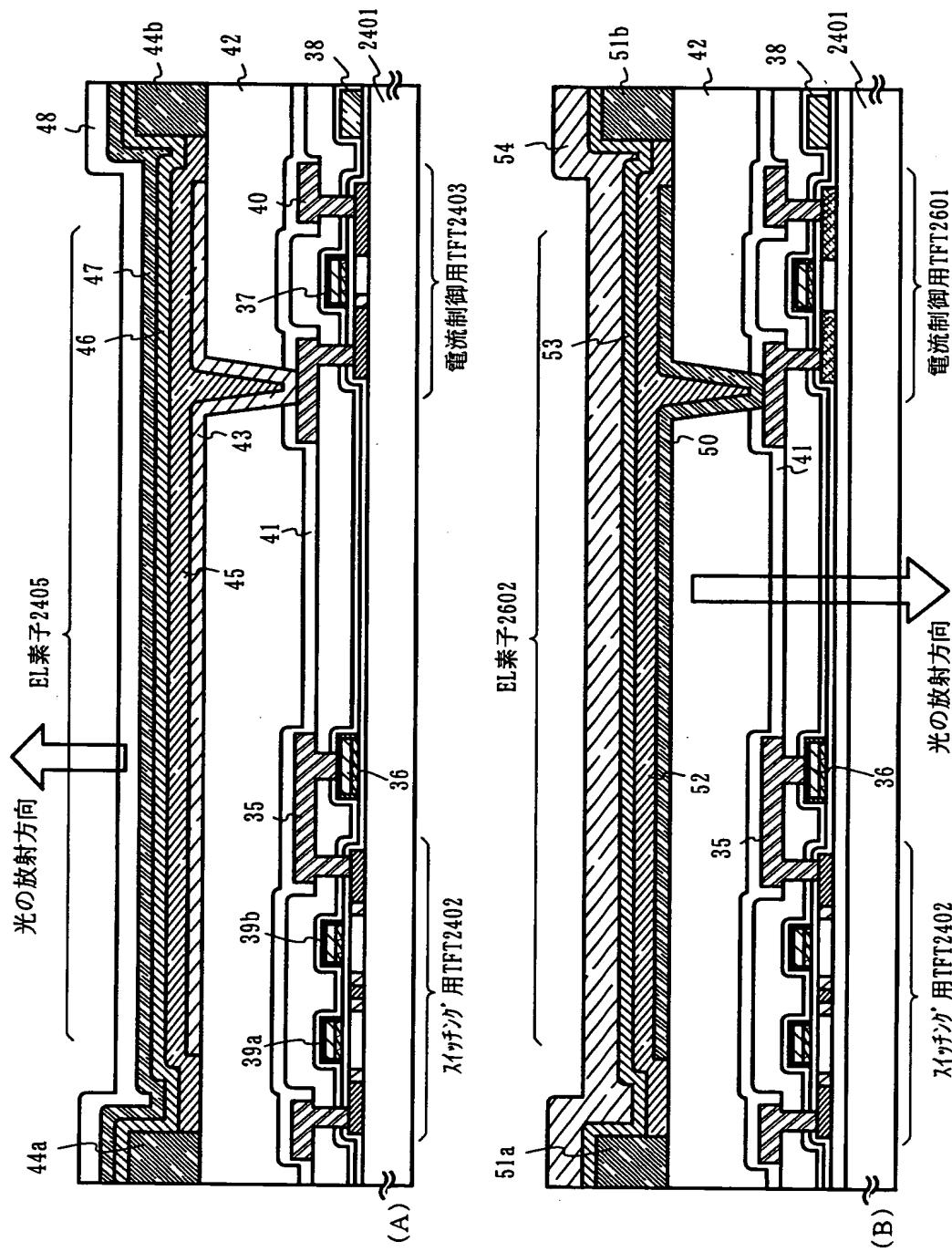
【図6】



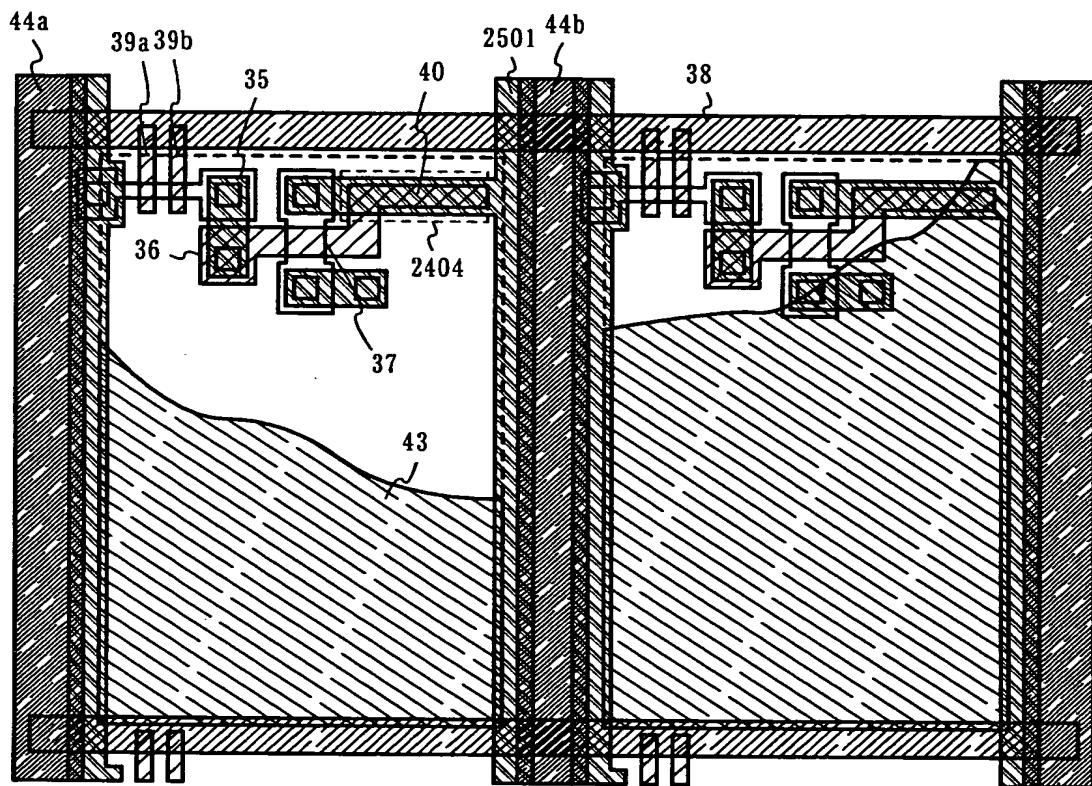
【図7】



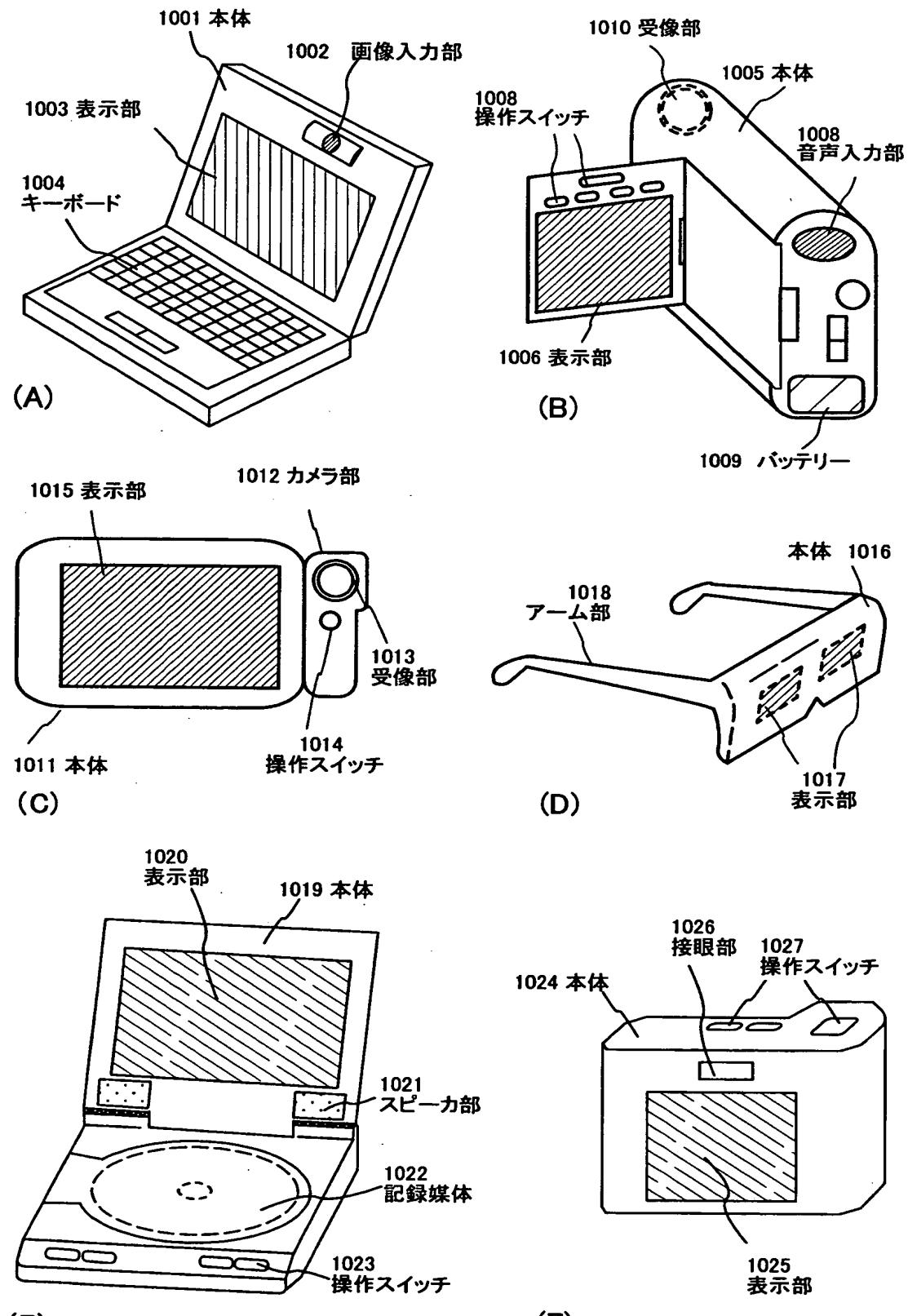
【図8】



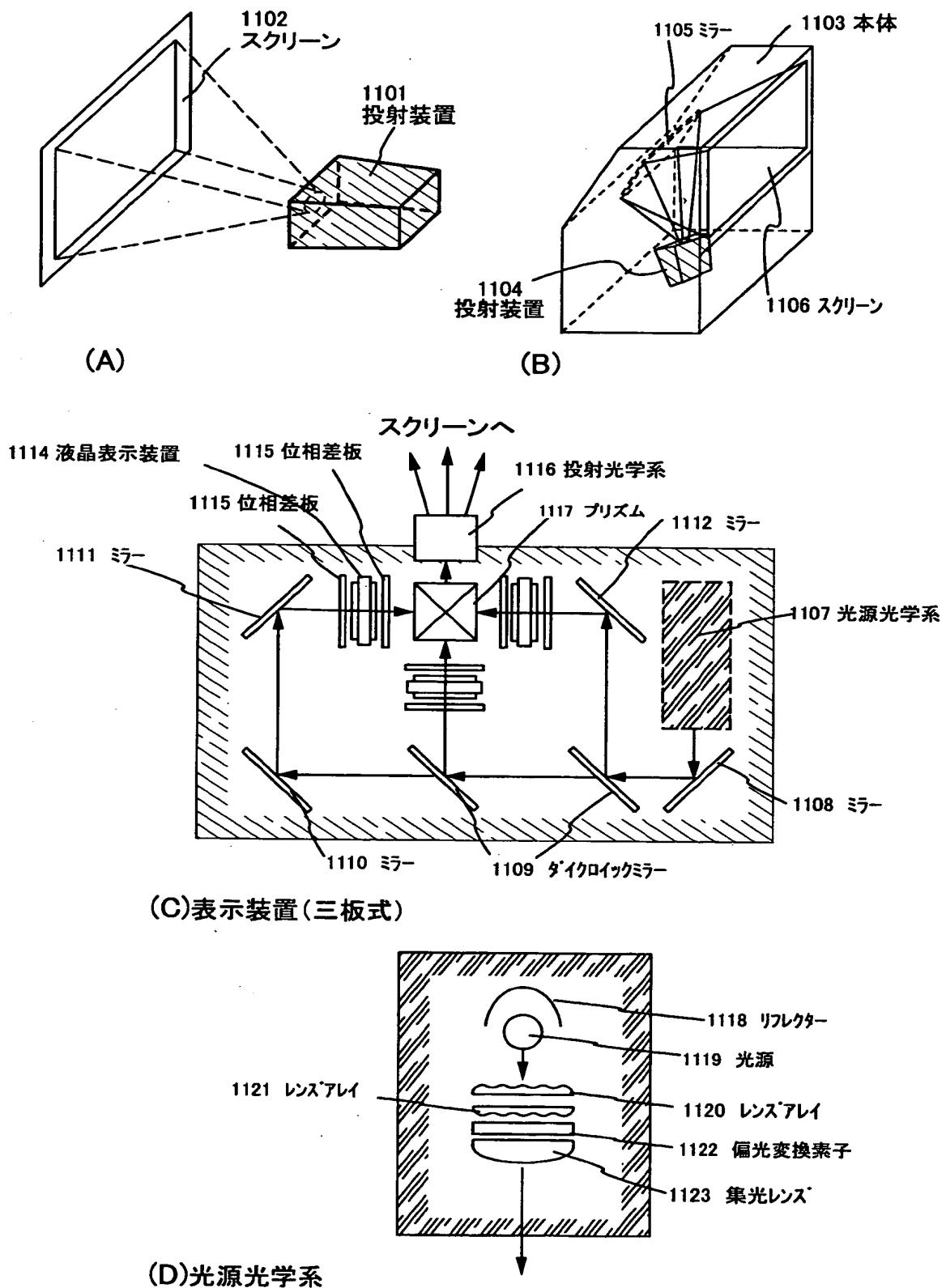
【図9】



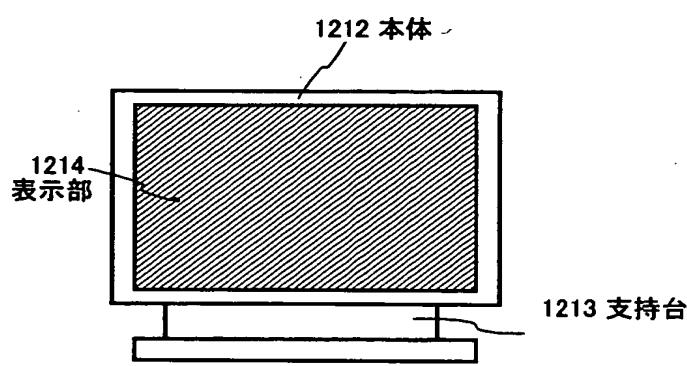
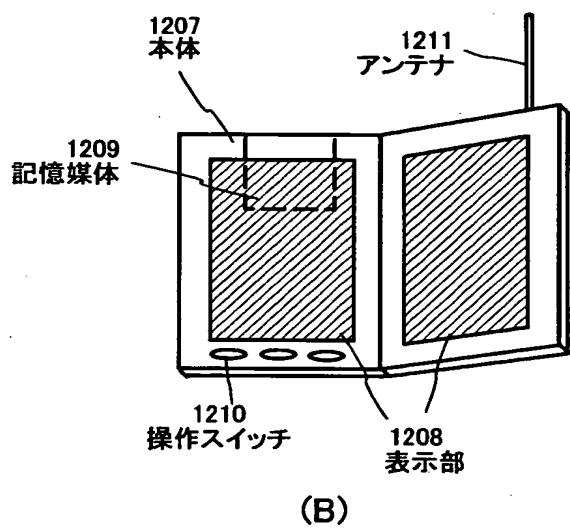
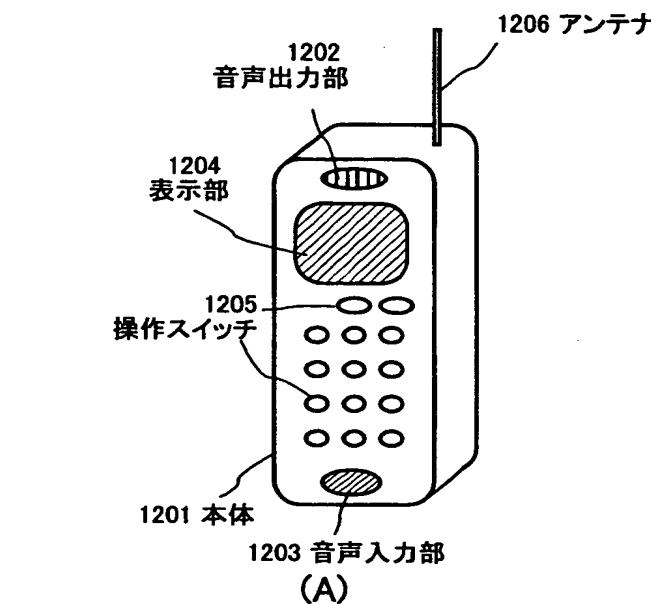
【図10】



【図11】



【図12】



【書類名】 要約書

【要約】

【課題】 TFTを構成する各被膜界面の汚染不純物による汚染が、 TFTの信頼性を下げる大きな要因となっている。

【解決手段】 洗浄室と成膜室をつなげることにより、洗浄工程と成膜工程の間を大気に曝すことなく成膜を行うことができ、 TFTを構成する各被膜界面を清浄に保つことが可能となる。

【選択図】 図1

【書類名】 手続補正書
【整理番号】 P004892
【提出日】 平成12年 5月16日
【あて先】 特許庁長官 殿
【事件の表示】

【出願番号】 特願2000-131353

【補正をする者】

【識別番号】 000153878
【氏名又は名称】 株式会社半導体エネルギー研究所
【代表者】 山崎 舜平

【手続補正 1】

【補正対象書類名】 特許願
【補正対象項目名】 発明者
【補正方法】 変更

【補正の内容】

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

【氏名】 浅見 勇臣

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

【氏名】 一條 充弘

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

【氏名】 鳥海 聰志

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー

ギー研究所内

【氏名】 大槻 高志

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネル
ギー研究所内

【氏名】 山崎 舜平

【その他】 補正の理由は、氏名の「條」を誤って漢字変換し、「条」とした誤記を訂正するためである。

【プルーフの要否】 要

出願人履歴情報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷398番地
氏 名 株式会社半導体エネルギー研究所